

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-319475

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl.<sup>8</sup>

識別記号

庁内整理番号

FI

技術表示箇所

G 0 6 F 1/26

G 0 6 F 1/00

3 3 4 H

3 3 0 F

3 3 1 E

審査請求 未請求 請求項の数24 FD (全 14 頁)

(21) 出願番号 特願平8-331548

(22) 出願日 平成8年(1996)11月27日

(31) 優先権主張番号 1 9 9 6 P 1 2 6 0 1

(32) 優先日 1996年4月24日

(33) 優先権主張国 韓国 (KR)

(31) 優先権主張番号 1 9 9 6 P 1 9 6 7 3

(32) 優先日 1996年6月3日

(33) 優先権主張国 韓国 (KR)

(31) 優先権主張番号 1 9 9 6 P 4 0 7 2 2

(32) 優先日 1996年9月18日

(33) 優先権主張国 韓国 (KR)

(71) 出願人 396017419

大宇通信株式会社

大韓民国仁川広域市西区佳佐洞531-1

(72) 発明者 金 起 弘

大韓民国 仁川広域市西区佳佐洞531-1

(72) 発明者 洪 ▲ジン▼ 基

大韓民国 仁川広域市西区佳佐洞531-1

(72) 発明者 成 盛 植

大韓民国 仁川広域市西区佳佐洞531-1

(72) 発明者 崔 昌 勲

大韓民国 仁川広域市西区佳佐洞531-1

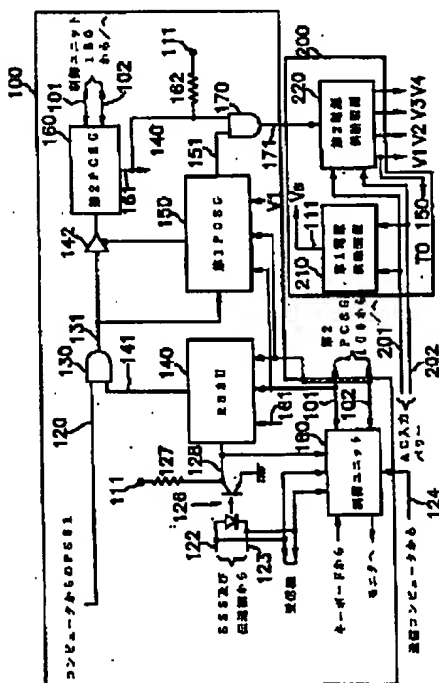
(74) 代理人 弁理士 斎藤 栄一 (外1名)

(54) 【発明の名称】 電源制御システム組み込み型コンピュータ

(57) 【要約】

【課題】 電源を効果的に切り換えてコンピュータのオン/オフ動作を制御する、電源制御システムが組み込まれているコンピュータを提供する。

【解決手段】 本発明の電源制御システム組み込み型コンピュータは、コンピュータのオン/オフ動作の際発生されるパワー選択信号を検出してパワー検出信号として出力する第1 ANDゲート130と、第1、第2及び第3モード制御信号を発生する制御ユニット180と、第1モード制御信号に応じて、パワー検出信号を用いて第1電源制御信号及び選択制御信号を発生する第1電源制御信号発生器150と、選択制御信号、第2及び第3モード制御信号に応じて、パワー検出信号を用いて第2電源制御信号を発生する第2電源制御信号発生器160と、第1電源制御信号と第2電源制御信号とを論理的に組み合わせて、最終電源制御信号を発生して電源供給装置に供給して複数のDC電圧をコンピュータ内の必要素子に選択的に供給することによって、コンピュータのオン/オフ動作を制御する第2 ANDゲート170を含む。



(2)

特開平9-319475

## 【特許請求の範囲】

【請求項1】 電源供給装置の動作を制御するコンピュータであり、複数のDC電圧をコンピュータ内の必要素子に供給して前記コンピュータのオン/オフ動作を制御する電源制御システムが組み込まれているコンピュータであって、

前記コンピュータ上のパワーオン/オフキーの作動によって前記コンピュータのオン/オフ動作が制御される際、発生されたパワー選択信号を検出することによって、検出パワー選択信号をパワー検出信号として出力するパワー選択信号検出手段と、

前記コンピュータのユーザからの予め決められた命令信号に応じて、該当命令信号に対応する第1、第2及び第3モード制御信号を各々発生するモード制御信号発生手段と、

前記第1モード制御信号に応じて、前記パワー検出信号を用いて第1電源制御信号及び選択制御信号を発生する第1制御信号発生手段と、

前記選択制御信号、前記第2及び第3モード制御信号に応じて、前記パワー検出信号を用いて第2電源制御信号を発生する第2制御信号発生手段と、

前記第1電源制御信号と前記第2電源制御信号とを論理的に組み合わせ、最終電源制御信号を発生して前記電源供給装置に供給することによって、前記複数のDC電圧を前記コンピュータ内の必要素子に選択的に供給することによって、前記コンピュータのオン/オフ動作を制御する組み合わせ手段とを含むことを特徴とする電源制御システム組み込み型コンピュータ。

【請求項2】 前記第2制御信号発生手段が、ターンオフの際、前記コンピュータの動作を初期化するために、前記パワー検出信号が前記パワーオン/オフキーが作動されたことを表す第1論理状態にあるか否かを判断して、前記パワー検出信号が前記第1論理状態である場合は、前記第1論理状態の第2電源制御信号を発生する第1信号判断手段と、

前記コンピュータの動作際に前記コンピュータの動作を停止するために、前記パワーオン/オフキーが作動されたことを表す第2論理状態にあるか否かを判断して、前記パワー検出信号が前記第2論理状態である場合は、前記選択制御信号、前記第2及び第3モード制御信号に応じて、前記第1論理状態または前記第2論理状態の第2電源制御信号を選択的に発生する第2信号判断手段と、ターンオフの際、前記選択制御信号に応じて前記パワー検出信号と前記第1信号判断手段とを、ターンオンの際には、前記パワー検出信号と前記第2信号判断手段とを選択的にカップリングするカップリング手段とを有することを特徴とする請求項1に記載の電源制御システム組み込み型コンピュータ。

【請求項3】 前記第2信号判断手段が、前記パワー検出信号が前記第2論理状態である場合、前

記コンピュータのメモリから予め決められたガイド情報を取り出して、取り出した予め決められたガイド情報を表示する取り出し手段と、

前記予め決められたガイド情報の表示後供給された前記第2モード制御信号に応じて、前記第1論理状態の第2電源制御信号を発生して前記コンピュータの動作を停止せしめる動作停止手段と、

前記予め決められたガイド情報の表示後供給された前記第3モード制御信号に応じて、前記第2論理状態の第2電源制御信号を発生して前記コンピュータの動作を持続せしめる動作持続手段とを有することを特徴とする請求項2に記載の電源制御システム組み込み型コンピュータ。

【請求項4】 前記第1、第2及び第3モード制御信号が、アドレス信号及びデータ信号を各々有することを特徴とする請求項2に記載の電源制御システム組み込み型コンピュータ。

【請求項5】 前記第1制御信号発生手段が、前記第1モード制御信号の前記アドレス信号に応じて、前記データ信号をラッチして前記選択制御信号を発生するラッチ手段と、

前記選択制御信号に応じて、前記パワー検出信号を用いて前記第1または第2論理状態の第1電源制御信号を選択的に発生する制御信号発生手段とを有することを特徴とする請求項3に記載の電源制御システム組み込み型コンピュータ。

【請求項6】 前記組み合わせ手段が、論理積ゲート（ANDゲート）から成ることを特徴とする請求項2に記載の電源制御システム組み込み型コンピュータ。

【請求項7】 前記ラッチ手段が、Dフリップフロップから成ることを特徴とする請求項5に記載の電源制御システム組み込み型コンピュータ。

【請求項8】 前記第1制御信号発生手段が、前記アドレス信号を用いてクロック信号を発生すると共に、前記Dフリップフロップのクロック入力端子に供給するクロック信号発生手段を、更に有することを特徴とする請求項7に記載の電源制御システム組み込み型コンピュータ。

【請求項9】 前記クロック信号発生手段が、プログラム可能なロジックアレー（PLA）を用いて動作されることを特徴とする請求項8に記載の電源制御システム組み込み型コンピュータ。

【請求項10】 前記パワー選択信号が、前記コンピュータのオン/オフ動作を制御するために前記コンピュータの遠隔制御器上のパワーオン/オフキーが作動される際発生されることを特徴とする請求項1に記載の電源制御システム組み込み型コンピュータ。

【請求項11】 電源供給装置の動作を制御するコンピュータであり、複数のDC電圧をコンピュータ内の必要素子に供給して前記コンピュータのオン/オフ動作を制

(3)

特開平9-319475

御する電源制御電源システムが組み込まれているコンピュータであって、

前記電源制御システムが、

前記コンピュータのパワーオン／オフ動作を制御するために、前記コンピュータのパワーオン／オフキーの作動によって前記コンピュータのオン／オフ動作が制御される際発生された第1パワー選択信号を検出することによって、第1検出パワー選択信号を出力する第1信号検出手段と、

遠隔地に位置した通信端子のユーザの中のいずれかが前記コンピュータの動作を初期化するために前記コンピュータに接続された受信通信端子をコールする際発生された、リングング信号を検出して検出リングング信号を出力する第2信号検出手段と、

前記コンピュータのユーザから予め決められた命令信号に応じて、該当命令信号に対応する第1、第2、第3及び第4モード制御信号を各々発生するモード制御信号発生手段と、

前記第1モード制御信号に応じて、前記検出リングング信号を用いて第2電源選択信号を発生する第1選択信号発生手段と、

前記第1検出パワー選択信号と前記第2電源選択信号とを論理的に組み合わせて、電源検出信号を発生する第1組み合わせ手段と、

前記第2モード制御信号に応じて、前記電源検出信号を用いて第1電源制御信号及び選択制御信号を発生する第2選択信号発生手段と、

前記選択制御信号、前記第3及び第4モード制御信号に応じて、前記電源検出信号を用いて第2電源制御信号を発生する第3選択信号発生手段と、

前記第1電源制御信号と前記第2電源制御信号とを論理的に組み合わせて、最終電源制御信号を発生して前記電源供給装置に供給することによって、前記複数のDC電圧を前記コンピュータ内の必要素子に選択的に供給して前記コンピュータのオン／オフ動作を制御する第2組み合わせ手段とを含むことを特徴とする電源制御システム組み込み型コンピュータ。

【請求項12】 前記第1選択信号発生手段が、前記コンピュータのターンオフの際、第1番目のリングング信号が検出された場合、前記第1モード制御信号に応じて第1論理状態の第3電源制御信号を発生する第1電源制御信号発生手段と、

前記コンピュータのターンオンの際、前記第1番目後のリングング信号が検出された場合、前記第2モード制御信号に応じて第2論理状態の第3電源制御信号を発生する第2電源制御信号発生手段とを有することを特徴とする請求項11に記載の電源制御システム組み込み型コンピュータ。

【請求項13】 前記第3選択信号発生手段が、前記コンピュータのターンオフの際、前記パワー検出信

号が前記コンピュータの動作を初期化するために、前記パワーオン／オフキーが作動されたかまたは前記リングング信号が検出されたかを表す第1論理状態にあるかを判断して、前記パワー検出信号が前記第1論理状態である場合は、前記第1論理状態の第2電源制御信号を発生する第1信号判断手段と、

前記コンピュータの動作際に、前記パワー検出信号が前記コンピュータの動作を停止するために前記パワーオン／オフキーが作動されたことを表す第2論理状態にあるかを判断して、前記パワー検出信号が前記第2論理状態である場合は、前記選択制御信号、前記第3及び第4モード制御信号に応じて、前記第1論理状態及び前記第2論理状態の第2電源制御信号を選択的に発生する第2信号判断手段と、

ターンオフの際は、前記選択制御信号に応じて前記パワー検出信号と第1信号判断手段とを、ターンオンの際には、前記パワー検出信号と前記第2信号判断手段とを選択的にカップリングするカップリング手段とを有することを特徴とする請求項12に記載の電源制御システム組み込み型コンピュータ。

【請求項14】 前記第2信号判断手段が、前記パワー検出信号が前記第2論理状態である場合、前記コンピュータのメモリから予め決められたガイド情報を取り出して、取り出した予め決められたガイド情報を表示する取り出し手段と、

前記予め決められたガイド情報の表示後供給された前記第3モード制御信号に応じて、前記第1論理状態の前記第2電源制御信号を発生して前記コンピュータの動作を停止せしめる動作停止手段と、

前記予め決められたガイド情報の表示後供給された前記第4モード制御信号に応じて、前記第2論理状態の前記第2電源制御信号を発生して前記コンピュータの動作を持続せしめる動作持続手段とを有することを特徴とする請求項13に記載の電源制御システム組み込み型コンピュータ。

【請求項15】 前記第2信号判断手段が、前記コンピュータのターンオンの際、音声メッセージ及びデータが遠隔地に位置した通信端子の中のいずれか一つから入力された場合、前記第1論理状態の第2電源制御信号を発生して前記コンピュータの動作を持続せしめる動作持続手段と、

予め決められた時間間隙の間、遠隔地に位置した通信端子の中のいずれか一つからも情報が入力されない場合は、前記第2論理状態の第2電源制御信号を発生して前記コンピュータの動作を停止せしめる動作停止手段とを有することを特徴とする請求項14に記載の電源制御システム組み込み型コンピュータ。

【請求項16】 前記第1、第2、第3及び第4モード制御信号が、アドレス信号及びデータ信号を各々有することを特徴とする請求項12に記載の電源制御システム

(4)

特開平9-319475

組み込み型コンピュータ。

【請求項17】 前記第2制御信号発生手段が、前記第2モード制御信号の前記アドレス信号に応じて、前記データ信号をラッチして前記選択制御信号を発生するラッチ手段と、前記選択制御信号に応じて、前記パワー検出信号を用いて前記第1電源制御信号を発生する制御信号発生手段とを有することを特徴とする請求項16に記載の電源制御システム組み込み型コンピュータ。

【請求項18】 前記ラッチ手段が、Dフリップフロップから成ることを特徴とする請求項17に記載の電源制御システム組み込み型コンピュータ。

【請求項19】 前記第2制御信号発生手段が、前記アドレス信号を用いてクロック信号を発生すると共に、前記Dフリップフロップのクロック入力端子に供給するクロック信号発生手段を、更に有することを特徴とする請求項17に記載の電源制御システム組み込み型コンピュータ。

【請求項20】 前記クロック信号発生手段が、プログラム可能なロジックアレー（PLA）を用いて動作されることを特徴とする請求項19に記載の電源制御システム組み込み型コンピュータ。

【請求項21】 前記第2信号検出手段が、フォトカプラを用いて動作されることを特徴とする請求項12に記載の電源制御システム組み込み型コンピュータ。

【請求項22】 前記第1組み合わせ手段が、論理積ゲート（ANDゲート）から成ることを特徴とする請求項12に記載の電源制御システム組み込み型コンピュータ。

【請求項23】 前記第2組み合わせ手段が、論理積ゲートから成ることを特徴とする請求項12に記載の電源制御システム組み込み型コンピュータ。

【請求項24】 前記第1パワー選択信号が、前記コンピュータのオン/オフ動作を制御するために前記コンピュータの遠隔制御器上のパワーオン/オフキーが作動される際発生されることを特徴とする請求項11に記載の電源制御システム組み込み型コンピュータ

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電源制御システムが組み込まれているコンピュータに関し、特に、電源を効果的にターンオン/オフしてコンピュータのオン/オフ動作を制御する電源制御システムに関する。

【0002】

【従来の技術】公知のように、通常の電源供給装置はコンピュータを備える多様な電気電子応用分野において大幅に用いられている。コンピュータに於いて一連のプロセスを行うに必要な複数の直流電圧（DC）が、交流入力電源に接続された電源供給装置からコンピュータ内の必要素子に供給される。一旦、必要な全ての電圧がコン

ピュータ内の必要素子に供給されると、コンピュータは公知の幾つかのブートアルゴリズムを用いてユーザ命令によってブートされ得る。

【0003】しかしながら、コンピュータに取り付けた通常の電源供給装置では、電源供給の中断の際、コンピュータは例えば、他の通信端子からアクセスされない。更に、コンピュータの動作中、電源供給が俄かに中断される場合には、データや実行プログラムは損なわれるかエラーが生じる恐れがある。

【0004】

【発明が解決しようとする課題】従って、本発明の主な目的は、電源を効果的に切り換えてコンピュータのオン/オフ動作を制御する、電源制御システムが組み込まれているコンピュータを提供することにある。

【0005】

【課題を解決するための手段】上記の目的を達成するために、本発明の一実施例によれば、複数のDC電圧をコンピュータ内の必要素子に供給して前記コンピュータのオン/オフ動作を制御する、電源供給装置の動作を制御する電源制御システムが組み込まれているコンピュータであって、前記コンピュータ上のパワーオン/オフキーの作動によって前記コンピュータのオン/オフ動作が制御される際、発生されたパワー選択信号を検出することによって、検出パワー選択信号をパワー検出信号として出力するパワー選択信号検出手段と、前記コンピュータのユーザからの予め決められた命令信号に応じて、該命令信号に対応する第1、第2及び第3モード制御信号を各々発生するモード制御信号発生手段と、前記第1モード制御信号に応じて、前記パワー検出信号を用いて第1電源制御信号及び選択制御信号を発生する第1制御信号発生手段と、前記選択制御信号、前記第2及び第3モード制御信号に応じて、前記パワー検出信号を用いて第2電源制御信号を発生する第2制御信号発生手段と、前記第1電源制御信号と前記第2電源制御信号とを論理的に組み合わせ、最終電源制御信号を発生して前記電源供給装置に供給することによって、前記複数のDC電圧を前記コンピュータ内の必要素子に選択的に供給することによって、前記コンピュータのオン/オフ動作を制御する組み合わせ手段とを含むことを特徴とする。

【0006】また、本発明の他の実施例によれば、複数のDC電圧をコンピュータ内の必要素子に供給して前記コンピュータのオン/オフ動作を制御する、電源供給装置の動作を制御する電源制御システムが組み込まれているコンピュータであって、前記電源制御システムが、前記コンピュータのパワーオン/オフ動作を制御するために、前記コンピュータのパワーオン/オフキーの作動によって前記コンピュータのオン/オフ動作が制御される際発生された、第1パワー選択信号を検出することによって、第1検出パワー選択信号を出力する第1信号検出手段と、遠隔地に位置した通信端子のユーザの中

(5)

特開平9-319475

のいずれかが前記コンピュータの動作を初期化するために前記コンピュータに接続された受信通信端子をコールする際発生された、リングング信号を検出して検出リングング信号を出力する第2信号検出手段と、前記コンピュータのユーザから予め決められた命令信号に応じて、該命令信号に対応する第1、第2、第3及び第4モード制御信号を各々発生するモード制御信号発生手段と、前記第1モード制御信号に応じて、前記検出リングング信号を用いて第2電源選択信号を発生する第1選択信号発生手段と、前記第1検出パワー選択信号と前記第2電源選択信号とを論理的に組み合わせて、電源検出信号を発生する第1組み合わせ手段と、前記第2モード制御信号に応じて、前記電源検出信号を用いて第1電源制御信号及び選択制御信号を発生する第2選択信号発生手段と、前記選択制御信号、前記第3及び第4モード制御信号に応じて、前記電源検出信号を用いて第2電源制御信号を発生する第3選択信号発生手段と、前記第1電源制御信号と前記第2電源制御信号とを論理的に組み合わせて、最終電源制御信号を発生して前記電源供給装置に供給することによって、前記複数のDC電圧を前記コンピュータ内の必要素子に選択的に供給して前記コンピュータのオン/オフ動作を制御する第2組み合わせ手段とを含むことを特徴とする。

【0007】

【発明の実施の形態】以下、本発明の好適実施例について、図面を参照しながら詳細に説明する。図1を参照すると、本発明に基づいて、コンピュータ（図示せず）での電源供給装置200を制御するための新規な電源制御システム100のブロック図が示されている。この電源制御システム100は、電源検出信号発生器（PDSG）130と、リングング信号選択ユニット（RSSU）140と、第1及び第2電源制御信号発生器（PCSG）150及び160と、最終電源制御信号発生器（DPCSG）170と、制御ユニット180とから構成されている。

【0008】まず、電源供給装置200に接続されているパワーライン201及び202が、パワー源（図示せず）に接続されると、コンピュータの現動作状態に拘らず、AC入力電源は各ライン201及び202を介して電源供給装置200の第1電源供給装置210及び第2電源供給装置220に供給される。この第1電源供給装置210は、通常の電源整流方法を用いて両パワーライン201及び202からのAC入力電源を整流して、本発明の電源制御システム100の特機電圧として用いられるべきDC電圧Vs（例えば、+5V）を発生する。その後、DC電圧Vsはライン111を介して電源制御システム100内に取り付けられた必要素子に供給されることによって、各素子は待機モードにて動作されるようにする。ここで、図1～図3でライン111は説明の便宜上表記のみする。第2電源供給装置220は、本発

明の電源制御方法を用いて、両ライン201及び202からのAC入力電源に基づいて複数のDC電圧（例えば、V1～V4）を選択的に出力する。本発明の電源制御方法の詳細は、以下図1～図3を参照して詳しく述べる。

【0009】第1電源選択信号PSS1が、ライン120を介してPDSG130に供給される。ここで、第1電源選択信号PSS1はコンピュータでのパワーオン/オフキー（図示せず）の作動によって発生され、コンピュータのオン/オフ動作を選択的に制御するに用いられる。例えば、このパワーオン/オフキーを押してコンピュータの動作を初期化すると、第1電源選択信号PSS1はローレベルの論理信号となり、そうでもない、ハイレベルの論理信号となる。ここで、コンピュータの遠隔制御器上のパワーオン/オフキーが、第1電源選択信号を発生するに用いられ得ることに注目されたい。

【0010】電子交換システム（ESS）から電話ライン122及び123と、両電話ライン122及び123間に設けられたフォトカプラー126とを介して伝送された、各リングング信号からRSSU140により発生された第2電源選択信号PSS2は、ライン141を介してPDSG130に入力される。詳述すると、遠隔地に位置した電話やファクシミリユーザがコンピュータに関連した電話またはファクシミリ（図示せず）のような受信機を音声メッセージやデータを通信するためにコールする場合、各リングング信号は各受信機に接続されたESSから連続的に発生し、ライン122及び123を介してフォトカプラー126及び受信機に供給される。

【0011】フォトカプラー126は、発光ダイオードとフォトトランジスタとからなり、入力された各リングング信号を検出してロー/ハイレベルのパルス信号を発生する。ここで、微小抵抗値を有する抵抗127は、フォトトランジスタのコレクタとライン111との間に設けられており、ライン111上のDC電圧をコレクタに供給する機能をする。本発明の好ましい実施例によれば、フォトトランジスタの出力は各リングング信号が発光ダイオードにより検出される度に、ローレベルのパルス信号となるように設計されている。その後、このパルス信号はライン128を介して制御ユニット180と、ローレベル及びハイレベルの第2電源選択信号PSS2をライン141を介してPDSG130に選択的に出力するRSSU140とに各々供給される。

【0012】図2には、RSSU140の詳細なブロック図が示されている。このRSSU140は第1のスリーステートバッファ144、インバータ145及びリングング信号選択回路（RSSC）146を備える。

【0013】第1のスリーステート3状態バッファ144は、第1番目のローレベルのパルス信号（この信号は、対応するリングング信号が検出されたことを表す）がフォトトランジスタからライン128を通じて入力さ

(6)

特開平9-319475

れる場合のみイネーブルされる。その他の場合は即ち、第1番目の信号後のローレベルのパルス信号（同様に、対応するリングング信号が検出されたことを表す）が入力される場合は動作しない。詳述すると、最初、第1のスリーステートバッファ144はフォトトランジスタからのパルス信号をライン128を介してその入力端子に受信すると共に、インバータ145からの第1バッファ制御信号BCS1に応じて、入力パルス信号を第2のスリーステートバッファ146cの入力端子に選択的に供給する。

【0014】第1バッファ制御信号BCS1は、図1に示した第2電源制御信号発生器（PCSG）160からライン161上の第2電源制御信号PCS2を逆転することによって求められ得る。つまり、ライン161上の第2電源制御信号PCS2はインバータ145によって逆転されて、第1バッファ制御信号BCS1として第1のスリーステートバッファ144のゲートに供給される。

【0015】本発明の好適実施例に於いて、コンピュータのパワーオン／オフ状態の際、第2電源制御信号PCS2のデフォルト値またはレベルは、PCSG160にて+5Vまたはハイレベルの論理信号にセットされる。第2電源制御信号PCS2のデフォルト値は第1及び第2電源選択信号PSS1及びPSS2と、制御ユニット180から発生されたシステムアドレスバス101上の第1アドレス信号ADD S1と、システムデータバス102上の第1データ信号DATAS1とに基づいて、コンピュータの動作制御のための論理信号に変換される。第2電源制御信号PCS2の詳細は、図1に示した第2PCSG160及び制御ユニット180を参照して説明する。ここで、第1アドレス信号、第1データ信号、以降説明される第2アドレス信号、第2データ信号、第3アドレス信号及び第3データ信号の全体ビット長さは、コンピュータの所望機能に基づいて決まることに注目されたい。

【0016】インバータ145からの第1バッファ制御信号BCS1に応じて、第1のスリーステートバッファ144はイネーブルされるか動作されないことによって、ライン128からのパルス信号を選択的にリングング信号選択回路146に供給する。このリングング信号選択回路146は第1プログラム可能なロジックアレー（PAL）146a、第1のDフリップフロップ（D F/F）146b及び第2のスリーステートバッファ146cを備えており、コンピュータユーザの選択に応じて第1のスリーステートバッファ144からのパルス信号を選択的に出力する。

【0017】詳述すると、制御ユニット180からのシステムアドレスバス101上の第2アドレス信号ADD S2は第1PAL146aに供給され、システムデータバス102上の第2データ信号DATAS2は第1のD

F/F146bの入力端子Dに供給される。第1PAL146aは、プログラム可能な読取り専用メモリ（PROM）のうちの一つであり、ORゲートのアレイ及びANDゲートのアレイより成るマトリックスから構成されており、第2アドレス信号ADD S2に応じて多くの出力中の一つ（例えば、ライン103上の信号）が選択された場合はハイレベルの論理信号を発生する。その後、そのハイレベルの論理信号は第1のDフリップフロップ146bの他の入力端子にクロック信号CLKとして供給される。

【0018】この第1のDフリップフロップ146bは、CLK入力端子上の「>」で示したように、CLK信号の正の遷移（positive-going transition）でのみトリガする。第1のDフリップフロップ146bからの出力/Qは、コンピュータの現動作状態に拘らずにユーザの選択に応じて、ローレベルまたはハイレベルの論理信号にセットされ得る。そのようなユーザの選択は、第1のDフリップフロップ146bの入力端子Dに入力されるべき第2データ信号DATAS2のレベルを各正の遷移上でハイレベルまたはローレベルの論理信号になるように、例えば、コンピュータのキーボード（図示せず）上の予め決められたキーを押すことによって行われる。本発明の好ましい実施例によれば、例えば、リングング信号選択回路146が検出リングング信号によって動作されると、第1のDフリップフロップ146bからの出力はローレベルの論理信号となり、そうでないと、ハイレベルの論理信号となる。その後、第1のDフリップフロップ146bからの出力は第2のスリーステートバッファ146cのゲートに第2バッファ制御信号BCS2として入力される。

【0019】第2のスリーステートバッファ146cのゲートへの入力がローレベルの第2バッファ制御信号BCS2である場合はイネーブルされ、そうでないと、即ち、ハイレベルの第2バッファ制御信号BCS2である場合にはディスエーブルされる。第2のスリーステートバッファ146cがイネーブルされると、第1のスリーステートバッファ144からのパルス信号はライン141を介して図1の電源検出信号発生器（PDSG）130に第2電源選択信号PSS2として供給され、そうでないと、電源検出信号発生器130にどんな信号も伝送されない。図2に示したように、リングング信号選択回路146が検出リングング信号に拘らずに動作するように設定された場合、ライン111上のDC電圧Vsがライン141を介して電源検出信号発生器130に供給されるために、微小抵抗値を有する抵抗147はライン111とライン141との間に設けられている。

【0020】図1を再度参照すると、電源検出信号発生器130への入力は、第1及び第2電源選択信号PSS1及びPSS2である。電源検出信号発生器130はANDゲートからなり、両電源選択信号が全てパワーオフ

(7)

特開平9-319475

状態を表すハイレベルの論理信号である場合のみハイレベルの論理信号を発生し、そうでないと、最も小さいインターバルのローレベルの論理信号を発生する。しかる後、電源検出信号発生器130の出力は、第3のスリーステートバッファ142及び第1電源制御信号発生器150に電源検出信号PDSとしてライン131を介して入力される。

【0021】この第1電源制御信号発生器150に於いては、第3バッファ制御信号BCS3及び第1電源制御信号PCS1が発生される。これらの信号は電源オン/オフ意図確認機能を選択的に実行するに用いられ、以降各信号に対して述べる。上記の電源オン/オフ意図確認機能は、コンピュータ上のパワーオン/オフキーを誤って押すことによって、コンピュータの実行中にその動作を停止させ、第1電源選択信号PSS1が突然ローレベルの論理信号となる場合に、制御ユニット180にて処理される機能を意味する。この電源オン/オフ意図確認機能に対しては、第2電源制御信号発生器160及び制御ユニット180を参照して詳細に述べる。

【0022】図3を参照すると、図1に示した第1電源制御信号発生器150の例示的なブロック図が示されている。第1電源制御信号発生器150は第2PAL152、第2のDフリップフロップ(D F/F)153及び電源制御信号発生回路(PCSGC)157から構成されている。

【0023】詳述すると、第2PAL152はORゲートのアレイ及びANDゲートのアレイより成るマトリクスから構成されており、制御ユニット180からのシステムアドレスバス101上の第3アドレス信号ADD S3に応じて多くの出力中の一つ(例えば、ライン104上の信号)が選択されるとハイレベルの論理信号を発生する。このハイレベルの論理信号は第2のDフリップフロップ153の入力端子にクロック信号CLKとして供給される。

【0024】この第2のDフリップフロップ153は、入力端子CLK上の「>」で示したように、CLK信号の各正の遷移上でのみトリガする。公知のように、第2のDフリップフロップ153からの出力Qは、そのプリセットポート(PR)及びクリアポート(CLR)への入力が全てハイレベルの論理信号の場合にクロック動作により、そうでないと、PRポート及びCLRポートへの入力に基づいて決定される。図3に示したように、抵抗154はPRポートとライン111との間に、抵抗155はCLRポートと接地との間に各々設けられており、抵抗156はDC電圧V1を出力するための第2電源供給装置220の出力ラインとCLRポートとの間に設けられている。これらの三つの抵抗は、ライン111上のDC電圧Vsと第2電源供給装置220の出力ライン上の電圧V1とを第2のDフリップフロップ153のPRポート及びCLRポートへ各々安定的に供給される

ようにするに用いられる。

【0025】コンピュータのパワーオフ状態の際、第2電源供給装置220からのDC電圧Vsはゼロであるので、第2のDフリップフロップ153はクリアされる。従って、第2のDフリップフロップ153からの出力Qはローレベルの論理信号となる。ここで、制御ユニット180からのシステムデータバス102上の第3データ信号DATAS3は「Don't care」となると共に、第2のDフリップフロップ153の入力端子Dに入力される。一方、第3データ信号DATAS3のビット値を適切に変換することによって、コンピュータが動作中またはパワーオン状態である場合に、電源オン/オフ意図確認機能を選択的に行うことができる。

【0026】即ち、本発明の好ましい実施例によれば、電源オン/オフ意図確認機能がユーザによって設定されると、第3データ信号DATAS3は前述した突然電源中断動作に対してローレベルの論理信号とセットされる。ここで、第2のDフリップフロップ153の出力Qは、ローレベルの論理信号となり、そうでなければ、ハイレベルの論理信号となる。この場合出力Qはハイレベルの論理信号になることとなる。その後、第2のDフリップフロップ153の出力Qは電源制御信号発生回路157に供給されると共に、図1の第3のスリーステートバッファ142に第3バッファ制御信号BCS3として供給される。

【0027】この電源制御信号発生回路157は2つのインバータ157a及び157dと、第4のスリーステートバッファ157bとから構成されており、電源オン/オフ意図確認機能がユーザによって設定されない場合に有用に用いられる。ここで、電源制御信号発生回路157のインバータ157aへの入力はハイレベルの論理信号となる。

【0028】詳述すると、インバータ157aは、第2のDフリップフロップ153からのハイレベルの論理信号を逆転して、逆転されたローレベルの論理信号を第4のスリーステートバッファ157bのゲートに第4バッファ制御信号BCS4として供給する。この第4バッファ制御信号BCS4に応じて、第4のスリーステートバッファ157bはイネーブルされる。

【0029】従って、図1の電源検出信号発生器130からのライン131上の電源検出信号PDSは、抵抗157cを介してインバータ157dに供給される。この抵抗157cは、電源オン/オフ意図確認機能がユーザによって設定された場合、第4のスリーステートバッファ157bがインバータ157aからのハイレベルの第4バッファ制御信号BCS4に応じてディスエーブルされる場合に、0Vまたは接地からのローレベルの論理信号をインバータ157dに供給するに用いられる。

【0030】インバータ157dは、第4のスリーステートバッファ157bからの電源検出信号PDSまたは



(8)

特開平9-319475

抵抗157cからのローレベルの論理信号を逆転して、逆転電源検出信号IPDSまたはハイレベルの論理信号を図1に示した最終電源制御信号発生器170にライン151を介して第1電源制御信号PCS1として供給する。インバータ157dからの出力をライン151を介して最終電源制御信号発生器170に安定的に供給するために、微小な抵抗値を有する抵抗157eが両ライン111及び151間に設けられている。

【0031】前述したことから分かるように、コンピュータがパワーオフ状態にあるかまたは電源オン/オフ意図確認機能がユーザによって設定されている場合に、ライン151上の第1電源制御信号PCS1はハイレベルの論理信号となる。その他の場合は、ライン131からの電源検出信号PDSに基づいて決定される。

【0032】図1を再び参照すると、第3のスリーステートバッファ142は図3の第2のDフリップフロップ153からの第3バッファ制御信号BCS3に応じて、ライン131からの電源検出信号PDSを第2電源制御信号発生器160に選択的に供給する。詳述すると、コンピュータのパワーオフ状態の際、第3のスリーステートバッファ142は第2のDフリップフロップ153からのローレベルの第3バッファ制御信号BCS3に応じてイネーブルされる。よって、ライン131からの電源検出信号PDSは第2電源制御信号発生器160に伝送される。

【0033】しかしながら、コンピュータが動作中の場合は、第3のスリーステートバッファ142は第2のDフリップフロップ153からの第3バッファ制御信号BCS3に応じてイネーブルされるかディスエーブルされることによって、電源検出信号PDSを第2電源制御信号発生器160に選択的に供給することになる。前述したことから分かるように、そのような選択的伝送動作は、電源オン/オフ意図確認機能がユーザによって設定されているか否かに従って行われる。

【0034】第2電源制御信号発生器160は、当技術分野に於いて大幅に用いられている幾つかのレジスタ（図示せず）から構成され、第3のスリーステートバッファ142からの電源検出信号PDS、バス101上の第1アドレス信号ADDS1及びバス102上の第1データ信号DATAS1に基づいて第2電源制御信号PCS2を発生する。前述したように、第2電源制御信号PCS2のデフォルトレベルは+5Vまたはハイレベルの論理信号となる。

【0035】もし、コンピュータのパワーオフ状態の際、パワーオン/オフキーが動作されたかまたはリング信号が検出されたことを表す、ローレベルの電源検出信号PDSが第3のスリーステートバッファ142から第2電源制御信号発生器160に供給されてコンピュータ動作が初期化された場合、第2電源制御信号PCS2のデフォルトレベルは直ちにローレベルの論理信号

に変換される。

【0036】ローレベルの第2電源制御信号PCS2は、ライン161を介して最終電源制御信号発生器170及びリング信号選択ユニット(RSSU)140に供給される。第2電源制御信号発生器160からの出力がライン161を介して最終電源制御信号発生器170に安定的に供給されるためには、抵抗値の大なる抵抗162がライン111とライン161との間に設けられる。その後、第1電源制御信号発生器150からライン151上のハイレベルの第1電源制御信号PCS1と第2電源制御信号発生器160からのライン161上のローレベルの第2電源制御信号PCS2とは、最終電源制御信号発生器170に各々入力される。

【0037】最終電源制御信号発生器170（即ち、ANDゲート）は入力された二つの入力からローレベルの論理信号を発生すると共に、その信号をローレベルの最終電源制御信号DPCSとしてライン171を介して第2電源供給装置220に供給する。このローレベルの最終電源制御信号DPCSに応じて、第2電源供給装置220は、両パワーライン201及び202を通じて供給されたAC入力電源を用いて、複数のDC電圧Vs（例えば、V1～V4）をコンピュータ内の必要素子に供給する。好ましくは、公知の多くの電源供給装置の中の一つのスイッチモード電源供給装置が第2電源供給装置220として用いられ得る。

【0038】DC電圧V1～V4がコンピュータ内の必要素子に供給されると、制御ユニット180に組み込まれた中央処理装置(CPU)（図示せず）は、公知の幾つかのブートアルゴリズムの中の一つを用いて、コンピュータのブートプロセスを実行し始める。この場合、第2電源制御信号発生器160に書き込まれたレジスタ状態値はハイレベルの論理信号となる。ここで、レジスタ状態値のビット長さは、コンピュータの必要機能に基づいて決定されることに注目されたい。ブートプロセスを実行した後、制御ユニット180は第4アドレス信号ADDS4をバス101を介して、第4データ信号DATAS4をバス102を介して第2電源制御信号発生器160に供給することによって、第2電源制御信号発生器160に書き込まれたレジスタ状態値をローレベルの論理信号にリセットする。

【0039】制御ユニット180は、コンピュータの実行の際、電話ライン122及び123上の電話、通信ライン124上のファックスミリ及びコンピュータのような遠隔地に位置した通信端子から伝送された音声メッセージまたはデータを受信し得る。この制御ユニット180は、ランダム・アクセス・メモリ(RAM)、リード・オンリ・メモリ(ROM)、CPU、トーン信号検出機及びモデム（図示せず）から構成され得る。ここで、好ましくは、CPU、RAM、ROM及びモデム（図示せず）が制御ユニット180に用いられ得ることに注目



(9)

特開平9-319475

されたい。

【0040】音声メッセージまたはデータが受信された場合、受信音声メッセージはRAMの第1領域に、受信データはRAMの第2領域に各々格納される。ここで、リングング信号処理動作は通常のリングング信号処理アルゴリズムを用いて行われることによって、伝送された音声メッセージまたはデータを効果的に受け取る。

【0041】一方、図2を再び参照すると、図1の第2電源制御信号発生器160からのライン161上のローレベルの第2電源制御信号PCS2はインバータ145によって逆転されて、逆転されたハイレベルの第2電源制御信号PCS2をハイレベルの第1バッファ制御信号BCS1として第1のスリーステートバッファ144のゲートに供給する。このハイレベルの第1バッファ制御信号BCS1に応じて、第1のスリーステートバッファ144はディスエーブルされ、よって、ライン128からの検出された後続リングング信号の各々を表すパルス信号は第2のスリーステートバッファ146cに供給されなく、第1電源供給装置210からのライン111上の+5VまたはハイレベルのDC電圧Vsだけが図1に示した電源検出信号発生器130に抵抗147及びライン141を通じて供給される。

【0042】図1を再び参照すると、ライン120を介して電源検出信号発生器(PDSG)130に入力された第1電源選択信号PSS1が突然ローレベルの論理信号となる場合(即ち、コンピュータ上のパワーオン/オフキーがユーザによって押されてコンピュータの実行中にその動作が停止した場合)、微小間隙を有するローレベルの論理信号がローレベルの電源検出信号PDSとしてライン131を介して第1電源制御信号発生器(PCSG)150及び第3のスリーステートバッファ142に各々供給される。

【0043】この場合、電源オン/オフ意図確認機能がユーザによって設定された場合、第3のスリーステートバッファ142は図3に示した第2のDフリップフロップ153からの第3バッファ制御信号BCS3に応じてイネーブルされ、よって、ライン131からのローレベルの電源検出信号PDSは第2電源制御信号発生器160に供給される。ここで、第2電源制御信号発生器160のレジスタ状態値はハイレベルの論理信号に変換される。本発明の好ましい実施例によれば、レジスタ状態値は第2電源制御信号発生器160から両バス101及び102を通じて、制御ユニット180によって予め決められた時間間隙でモニタされ得るように設定されている。

【0044】モニタされたレジスタ状態値がハイレベルの論理信号である場合は、制御ユニット180は電源オン/オフ意図確認機能に対するROMに格納された予め決められたガイド情報を出力することによって、ガイド情報をその表示のためにコンピュータのモニタ(図示せ

ず)に供給する。この場合、本発明の好ましい実施例によれば、例示的なガイド情報は「コンピュータ使用を停止または持続するためには、コンピュータのキーボード上の予め決められたキーを入力または押して下さい」のように読み取られ得る。

【0045】本発明の他の好適実施例によれば、コンピュータの動作停止のための信号がキーボードから制御ユニット180に入力される場合、制御ユニット180は第5アドレス信号ADDS5はバス101を、第5データ信号DATAS5はバス102を各々介して第2電源制御信号発生器160に供給する。これらの第5アドレス信号ADDS5及び第5データ信号DATAS5に応じて、第2電源制御信号発生器160は、書き込まれているレジスタ状態値をリセットすると共に、ハイレベルの第2電源制御信号PCS2を発生する。

【0046】その後、ハイレベルの第2電源制御信号PCS2は、ライン161を介して最終電源制御信号発生器170に供給される。また第1電源制御信号発生器150から最終電源制御信号発生器170に供給された第1電源制御信号PCS1はハイレベルの論理信号となる。かくして、最終電源制御信号発生器170は入力された二つの入力信号に基づいて、ハイレベルの最終電源制御信号DPCSを第2電源供給装置220に供給する。このハイレベルの最終電源制御信号DPCSに応じて、第2電源供給装置220はターンオフされ、よって、電圧はコンピュータに供給されないことになる。その結果、コンピュータの動作は停止する。

【0047】一方、コンピュータの動作持続のための信号がキーボードから制御ユニット180に入力された場合、制御ユニット180は第6アドレス信号ADDS6及び第6データ信号DATAS6を第2電源制御信号発生器160に供給してRAMに書き込まれているレジスタ状態値をローレベルの論理信号にリセットする。しかしながら、この場合、第2電源制御信号発生器160はローレベルの第2電源制御信号PCS2を再び出力し、よって、第2電源供給装置220はコンピュータに組み込まれた各々素子が持続的に動作するように、該当素子にDC電圧V1~V4を続いで供給する。

【0048】本発明の他の好適実施例によれば、ある時間間隙間ガイド情報に対する応答がない場合は、本発明の電源制御システム100は前述したような二つの方法に基づいてプロセスすることができる。

【0049】一方、コンピュータの実行の際、制御ユニット180はRAMに格納された音声メッセージまたはデータを予め決められた時間単位でモニタすることによって、音声メッセージまたはデータが定期的にRAMに受信され格納されたか否かを判断する。判断結果が否定であれば、即ち、ある時間間隙間RAMに受信され格納された音声メッセージまたはデータがない場合、制御ユニット180は第7アドレス信号ADDS7はバス10

(10)

特開平9-319475

1を、第7データ信号DATAS7はバス102を各々介して第2電源制御信号発生器160に供給する。これらの第7アドレス信号ADD S7及び第7データ信号DATAS7に応じて、第2電源制御信号発生器160は書き込まれているレジスタ状態値をローレベルの論理信号にリセットすると共に、ハイレベルの第2電源制御信号PCS2をライン161を介して最終電源制御信号発生器170に供給する。

【0050】最終電源制御信号発生器170はハイレベルの最終電源制御信号DPCSをハイレベルの第2電源制御信号PCS2を用いて第2電源供給装置220に供給する。ここで、第1電源制御信号PCS1は依然にハイレベルの論理信号である。ハイレベルの最終電源制御信号DPCSに応じて、第2電源供給装置220はターンオフされ、よって、コンピュータに電圧が供給されないで、コンピュータはターンオフされる。

【0051】コンピュータの実行際、遠隔地に位置した他のコンピュータからライン124を通じて伝送された、CLOSEのような予め決められた命令信号に対応するデータと、または遠隔地に位置した電話からライン122及び123を通じて伝送された、音声信号に対応するデータとがコンピュータの動作中断のためにRAMに受信され格納された場合、制御ユニット180は第8アドレス信号ADD S8及び第8データ信号DATAS8を発生して第2電源制御信号発生器160に供給する。この場合、第2電源制御信号発生器160は書き込まれているレジスタ状態値をローレベルの論理信号にリセットすると共に、ハイレベルの第2電源制御信号PCS2をライン161を介して最終電源制御信号発生器170に供給する。

【0052】この最終電源制御信号発生器170はハイレベルの第1電源制御信号PCS1からハイレベルの最終電源制御信号DPCSを発生して第2電源供給装置220に供給する。ここで、第1電源制御信号PCS1は依然にハイレベルの論理信号である。ハイレベルの最終電源制御信号DPCSに応じて、第2電源供給装置220はターンオフされ、よって、コンピュータに電圧が供給されないで、コンピュータはターンオフされる。

【0053】このように、本発明の制御システム組込み型コンピュータは、電源供給装置の動作を制御するコンピュータであり、複数のDC電圧をコンピュータ内の必要素子に供給して前記コンピュータのオン/オフ動作を制御する電源制御システムが組み込まれているコンピュータであって、前記コンピュータ上のパワーオン/オフキーの作動によって前記コンピュータのオン/オフ動作が制御される際、発生されたパワー選択信号を検出することによって、検出パワー選択信号をパワー検出信号として出力するパワー選択信号検出手段と、前記コンピュータのユーザからの予め決められた命令信号に応じて、該当命令信号に対応する第1、第2及び第3モード制御

信号を各々発生するモード制御信号発生手段と、前記第1モード制御信号に応じて、前記パワー検出信号を用いて第1電源制御信号PCS1及び選択制御信号BCS3を発生する第1制御信号発生手段PCSG150と、前記選択制御信号BCS3、前記第2及び第3モード制御信号に応じて、前記パワー検出信号PDSを用いて第2電源制御信号PCS2を発生する第2制御信号発生手段PCSG160と、前記第1電源制御信号PCS1と前記第2電源制御信号PCS2とを論理的に組み合わせ、最終電源制御信号DPCSを発生して前記電源供給装置200に供給することによって、前記複数のDC電圧を前記コンピュータ内の必要素子に選択的に供給することによって、前記コンピュータのオン/オフ動作を制御する組み合わせ手段DPCSG170を含むことを特徴とする。

【0054】又、前記第2制御信号発生手段PCSG160が、ターンオフの際、前記コンピュータの動作を初期化するために、前記パワー検出信号が前記パワーオン/オフキーが作動されたことを表す第1論理状態にあるか否かを判断して、前記パワー検出信号が前記第1論理状態である場合は、前記第1論理状態の第2電源制御信号を発生する第1信号判断手段と、前記コンピュータの動作際に前記コンピュータの動作を停止するために、前記パワーオン/オフキーが作動されたことを表す第2論理状態にあるか否かを判断して、前記パワー検出信号が前記第2論理状態である場合は、前記選択制御信号、前記第2及び第3モード制御信号に応じて、前記第1論理状態または前記第2論理状態の第2電源制御信号を選択的に発生する第2信号判断手段と、ターンオフの際、前記選択制御信号に応じて前記パワー検出信号と前記第1信号判断手段とを、ターンオンの際には、前記パワー検出信号と前記第2信号判断手段とを選択的にカップリングするカップリング手段とを有することを特徴とする。

【0055】又、前記第2信号判断手段が、前記パワー検出信号が前記第2論理状態である場合、前記コンピュータのメモリから予め決められたガイド情報を取り出して、取り出した予め決められたガイド情報を表示する取り出し手段と、前記予め決められたガイド情報の表示後供給された前記第2モード制御信号に応じて、前記第1論理状態の第2電源制御信号PCS2を発生して前記コンピュータの動作を停止せしめる動作停止手段と、前記予め決められたガイド情報の表示後供給された前記第3モード制御信号に応じて、前記第2論理状態の第2電源制御信号を発生して前記コンピュータの動作を持続せしめる動作持続手段とを有することを特徴とする。

【0056】又、前記第1、第2及び第3モード制御信号が、アドレス信号及びデータ信号を各々有することを特徴とする。

【0057】又、前記第1制御信号発生手段PCSG150が、前記第1モード制御信号の前記アドレス信号に

(11)

特開平9-319475

応じて、前記データ信号をラッチして前記選択制御信号を発生するラッチ手段153と、前記選択制御信号に応じて、前記パワー検出信号PDSを用いて前記第1または第2論理状態の第1電源制御信号PCS1を選択的に発生する制御信号発生手段とを有することを特徴とする。

【0058】又、前記組み合わせ手段が、論理積ゲート(ANDゲート)から成ることを特徴とする。

【0059】又、前記ラッチ手段が、Dフリップフロップから成ることを特徴とする。

【0060】又、前記第1制御信号発生手段が、前記アドレス信号を用いてクロック信号を発生すると共に、前記Dフリップフロップのクロック入力端子に供給するクロック信号発生手段を、更に有することを特徴とする。

【0061】又、前記クロック信号発生手段が、プログラム可能なロジックアレー(PLA)を用いて動作されることを特徴とする。

【0062】又、前記パワー選択信号PSS1が、前記コンピュータのオン/オフ動作を制御するために前記コンピュータの遠隔制御器上のパワーオン/オフキーが作動される際発生されることを特徴とする。

【0063】又、電源供給装置の動作を制御するコンピュータであり、複数のDC電圧をコンピュータ内の必要素子に供給して前記コンピュータのオン/オフ動作を制御する電源制御電源システムが組み込まれているコンピュータであって、前記電源制御システムが、前記コンピュータのパワーオン/オフ動作を制御するために、前記コンピュータのパワーオン/オフキーの作動によって前記コンピュータのオン/オフ動作が制御される際発生された第1パワー選択信号PSS1を検出することによって、第1検出パワー選択信号を出力する第1信号検出手段と、遠隔地に位置した通信端子のユーザの中のいずれかが前記コンピュータの動作を初期化するために前記コンピュータに接続された受信通信端子をコールする際発生された、リングング信号を検出して検出リングング信号を出力する第2信号検出手段と、前記コンピュータのユーザから予め決められた命令信号に応じて、該命令信号に対応する第1、第2、第3及び第4モード制御信号を各々発生するモード制御信号発生手段と、前記第1モード制御信号に応じて、前記検出リングング信号を用いて第2電源選択信号PSS2を発生する第1選択信号発生手段RSSU140と、前記第1検出パワー選択信号PSS1と前記第2電源選択信号PSS2とを論理的に組み合わせて、電源検出信号PDSを発生する第1組み合わせ手段PDSG130と、前記第2モード制御信号に応じて、前記電源検出信号PDSを用いて第1電源制御信号PCS1及び選択制御信号BCS3を発生する第2選択信号発生手段PCSG150と、前記選択制御信号BCS3、前記第3及び第4モード制御信号に応じて、前記電源検出信号PDSを用いて第2電源制御

信号PCSG2を発生する第3選択信号発生手段PCSG160と、前記第1電源制御信号PCS1と前記第2電源制御信号PCSG2とを論理的に組み合わせて、最終電源制御信号DPCSを発生して前記電源供給装置に供給することによって、前記複数のDC電圧を前記コンピュータ内の必要素子に選択的に供給して前記コンピュータのオン/オフ動作を制御する第2組み合わせ手段DPCSG170とを含むことを特徴とする。

【0064】又、前記第1制御信号発生手段RSSU140が、前記コンピュータのターンオフの際、第1番目のリングング信号が検出された場合、前記第1モード制御信号に応じて第1論理状態の第3電源制御信号を発生する第1電源制御信号発生手段と、前記コンピュータのターンオンの際、前記第1番目後のリングング信号が検出された場合、前記第2モード制御信号に応じて第2論理状態の第3電源制御信号を発生する第2電源制御信号発生手段とを有することを特徴とする。

【0065】又、前記第3選択信号発生手段PCSG160が、前記コンピュータのターンオフの際、前記パワー検出信号が前記コンピュータの動作を初期化するために、前記パワーオン/オフキーが作動されたかまたは前記リングング信号が検出されたかを表す第1論理状態にあるか否かを判断して、前記パワー検出信号PDSが前記第1論理状態である場合は、前記第1論理状態の第2電源制御信号PCSG2を発生する第1信号判断手段と、前記コンピュータの動作の際に、前記パワー検出信号が前記コンピュータの動作を停止するために前記パワーオン/オフキーが作動されたことを表す第2論理状態にあるか否かを判断して、前記パワー検出信号が前記第2論理状態である場合は、前記選択制御信号、前記第3及び第4モード制御信号に応じて、前記第1論理状態及び前記第2論理状態の第2電源制御信号PCSG2を選択的に発生する第2信号判断手段と、ターンオフの際は、前記選択制御信号に応じて前記パワー検出信号と第1信号判断手段とを、ターンオンの際には、前記パワー検出信号と前記第2信号判断手段とを選択的にカップリングするカップリング手段とを有することを特徴とする。

【0066】又、前記第2信号判断手段が、前記パワー検出信号が前記第2論理状態である場合、前記コンピュータのメモリから予め決められたガイド情報を取り出して、取り出した予め決められたガイド情報を表示する取り出し手段と、前記予め決められたガイド情報の表示後供給された前記第3モード制御信号に応じて、前記第1論理状態の前記第2電源制御信号を発生して前記コンピュータの動作を停止せしめる動作停止手段と、前記予め決められたガイド情報の表示後供給された前記第4モード制御信号に応じて、前記第2論理状態の前記第2電源制御信号を発生して前記コンピュータの動作を継続せしめる動作持続手段とを有することを特徴とする。

【0067】又、前記第2信号判断手段が、前記コンピ

(12)

特開平9-319475

ュータのターンオンの際、音声メッセージ及びデータが遠隔地に位置した通信端子の中のいずれか一つから入力された場合、前記第1論理状態の第2電源制御信号PC S2を発生して前記コンピュータの動作を持続せしめる動作持続手段と、予め決められた時間間隙の間、遠隔地に位置した通信端子の中のいずれか一つからも情報が入力されない場合は、前記第2論理状態の第2電源制御信号PC S2を発生して前記コンピュータの動作を停止せしめる動作停止手段とを有することを特徴とする。

【0068】又、前記第1、第2、第3及び第4モード制御信号が、アドレス信号及びデータ信号を各々有することを特徴とする。

【0069】又、前記第2制御信号発生手段が、前記第2モード制御信号の前記アドレス信号に応じて、前記データ信号をラッチして前記選択制御信号BC S3を発生するラッチ手段と、前記選択制御信号に応じて、前記パワー検出信号PDSを用いて前記第1電源制御信号PC S1を発生する制御信号発生手段PC SGC157とを有することを特徴とする。

【0070】又、前記ラッチ手段が、Dフリップフロップから成ることを特徴とする。

【0071】又、前記第2制御信号発生手段が、前記アドレス信号を用いてクロック信号を発生すると共に、前記Dフリップフロップのクロック入力端子に供給するクロック信号発生手段を、更に有することを特徴とする。

【0072】又、前記クロック信号発生手段が、プログラム可能なロジックアレー(PLA)を用いて動作されることを特徴とする。

【0073】又、前記第2信号検出手段が、フォトカプラーを用いて動作されることを特徴とする。

【0074】又、前記第1組み合わせ手段PDSG130が、論理積ゲート(ANDゲート)から成ることを特徴とする。

【0075】又、前記第2組み合わせ手段PDSG170が、論理積ゲートから成ることを特徴とする。

【0076】又、前記第1パワー選択信号PSS1が、前記コンピュータのオン/オフ動作を制御するために前記コンピュータの遠隔制御器上のパワーオン/オフキーが作動される際発生されることを特徴とする。上記において、本発明の好適な実施例について説明したが、本発明の特許請求の範囲を逸脱することなく、種々の変更を

加え得ることは勿論である。

【0077】

【発明の効果】従って、本発明によれば、本発明の新規な電源制御方法を用いて、コンピュータの電源供給を効果的にスイッチングすることによって、コンピュータの動作を制御することができる。

【図面の簡単な説明】

【図1】本発明の新規な電源制御システムの概略的なブロック図である。

【図2】図1に示したリングング信号選択回路の詳細なブロック図である。

【図3】図1に示した第1電源制御信号発生器の詳細なブロック図である。

【符号の説明】

100 電源制御システム

126 フォトカプラー

127, 147, 154, 155 抵抗

156, 157c, 157e, 162 抵抗

130 電源検出信号発生器(PDSG)

140 リングング信号選択ユニット(RSSU)

144 第1のスリーステートバッファ

145, 157a, 157d インバータ

146 リングング信号選択回路(RSSC)

146a 第1プログラム可能なロジックアレー(PAL)

146b 第1のDフリップフロップ(D F/F)

146c 第2のスリーステートバッファ

142 第3のスリーステートバッファ

150 第1電源制御信号発生器(PCSG)

152 第2プログラム可能なロジックアレー(PAL)

153 第2のDフリップフロップ(D F/F)

157 電源制御信号発生回路(PCSGC)

157b 第4のスリーステートバッファ

160 第2電源制御信号発生器(PCSG)

170 最終電源制御信号発生器(DPCSG)

180 制御ユニット

200 電源供給装置

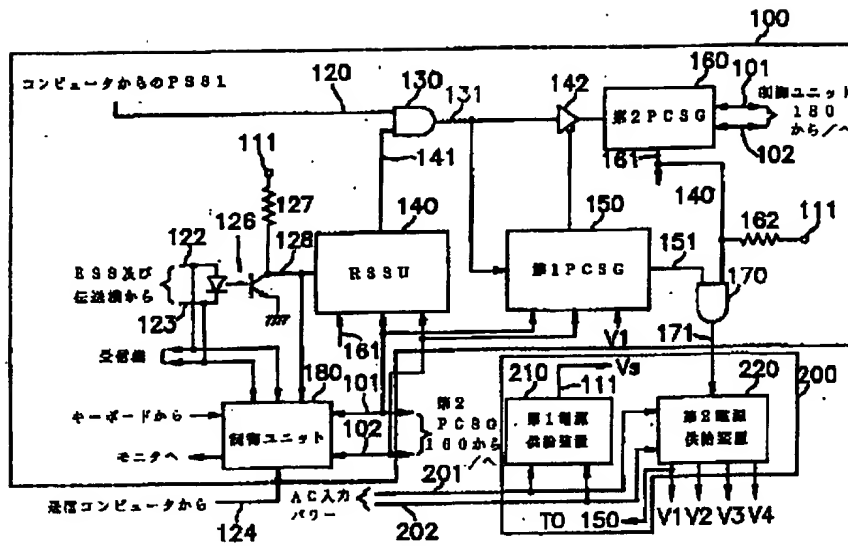
210 第1電源供給装置

220 第2電源供給装置

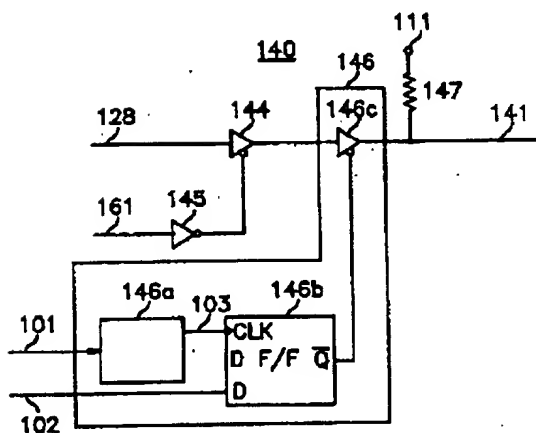
(13)

特開平9-319475

【図1】



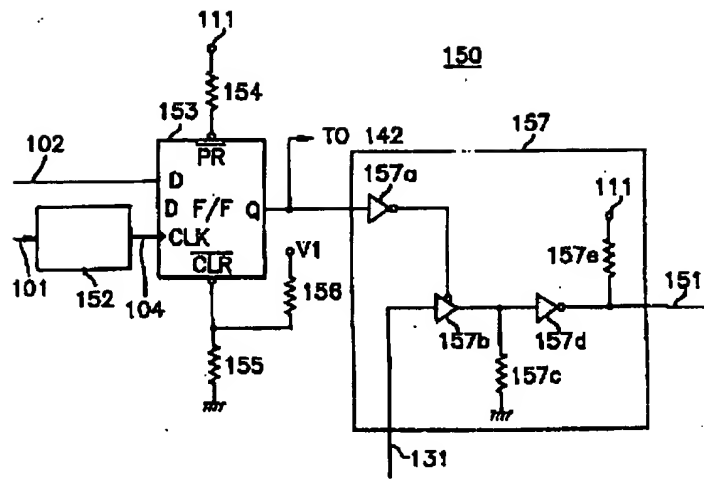
【図2】



(14)

特開平9-319475

【図3】



**REEDFAX®**  
THE PATENT CONNECTION A member of the Reed Elsevier plc group

REEDFAX Document Delivery System  
275 Gibraltar Road • Horsham, PA 19044 • USA  
Voice 1.800.422.1337 or 1.215.441.4768  
FAX 1.800.421.5585 or 1.215.441.5463

**Our services include:**

- U.S. Patents from #1 to current week of issue
- Design and Plant Patents
- Reissue Patents and Re-exam Certificates
- U.S., EP and Canadian File Histories/Wrappers
- Non-US Patents including European and World
- Trademarks and Trademark File Histories
- An Automated System that operates in 15 min.  
24 hrs./day, 365 days/yr.
- Dedicated Customer Service Staff

**TO REPORT TROUBLE WITH THIS TRANSMISSION or for REEDFAX CUSTOMER SERVICE,  
CALL 1.800.422.1337. ONCE CONNECTED, IMMEDIATELY PRESS "0" (ZERO) FOR OPERATOR.**

**TO:** Corina Harrison**FAX Number:** 5123222501**Foreign Patent**

**Company Number:** 8663  
**Account Number:** 866359  
**Client Reference:** 016295.0689

**Date:** 9/19/2001

**Control Number:** 52140

**Patent Number:** JP 9319474

**Pages:** 5

**REEDFAX Code:** FP-Fax-High-Lib!+  
**Request Number:** 3

**Order Number:** 345627

**Retrieved by:** \_\_\_\_\_

**Assembled by:** \_\_\_\_\_

**Shipped by:** \_\_\_\_\_

**CHARGES FOR THIS PATENT:**

Basic Charge:	\$ 16.15
Extra Pages:	\$ 0.00
Special Serv:	\$ 2.85
Surcharge:	\$ 0.00

Total:	\$ 19.00
--------	----------

Discount D5

Charges listed are for **informational purposes** only  
and do not include applicable tax, other adjustments  
or shipping charges.

\*\*\*\* < THIS IS NOT A BILL > \*\*\*\*